

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-081858

(43)Date of publication of application : 21.03.2000

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G02F 1/1343  
H01L 29/786

(21)Application number : 10-250129

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 03.09.1998

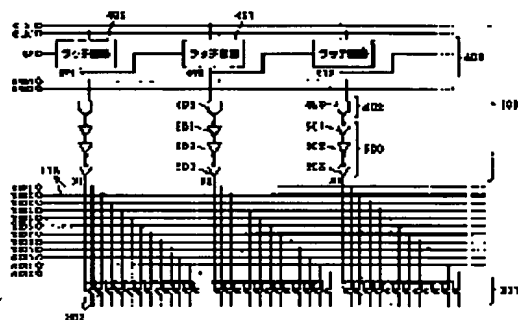
(72)Inventor : MURAIDE MASAO

(54) DRIVING CIRCUIT FOR ELECTROOPTICAL DEVICE, ELECTROOPTICAL DEVICE, AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To miniaturize a liquid crystal device by utilizing efficiently a region on a substrate in the liquid crystal device of a type in which a driving circuit is incorporated and plural data lines are simultaneously driven.

SOLUTION: The substrate of a liquid crystal device is provided thereon with a sampling circuit 301 sampling a picture signal and a data line driving circuit 101 supplying a sampling supply signal for every sampling switch 302 connected to adjacent plural data lines. The data line driving circuit 101 is provided with a buffer circuit 500 comprising inverters 501-503, corresponding to each latch circuit, having a thin film transistor which applies waveform shaping to a transfer signal and outputs the shaped signal as a sampling control signal when the transfer signal is inputted from a shift register circuit 400. This thin film transistor comprises a channel part of which the direction of channel width is the horizontal direction and the channel width is equal to plural data line width.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000081858 A**(43) Date of publication of application: **21 . 03 . 00**

(51) Int. Cl.

**G09G 3/36**  
**G02F 1/133**  
**G02F 1/1343**  
**H01L 29/786**

(21) Application number: **10250129**(71) Applicant: **SEIKO EPSON CORP**(22) Date of filing: **03 . 09 . 98**(72) Inventor: **MURAIDE MASAO**

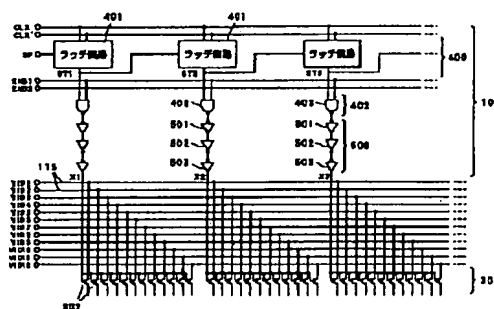
(54) **DRIVING CIRCUIT FOR ELECTROOPTICAL  
 DEVICE, ELECTROOPTICAL DEVICE, AND  
 ELECTRONIC EQUIPMENT**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To miniaturize a liquid crystal device by utilizing efficiently a region on a substrate in the liquid crystal device of a type in which a driving circuit is incorporated and plural data lines are simultaneously driven.

**SOLUTION:** The substrate of a liquid crystal device is provided thereon with a sampling circuit 301 sampling a picture signal and a data line driving circuit 101 supplying a sampling supply signal for every sampling switch 302 connected to adjacent plural data lines. The data line driving circuit 101 is provided with a buffer circuit 500 comprising inverters 501-503, corresponding to each latch circuit, having a thin film transistor which applies waveform shaping to a transfer signal and outputs the shaped signal as a sampling control signal when the transfer signal is inputted from a shift register circuit 400. This thin film transistor comprises a channel part of which the direction of channel width is the horizontal direction and the channel width is equal to plural data line width.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-81858

(P2000-81858A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト <sup>*</sup> (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	2 H 0 9 3
1/1343		1/1343	5 C 0 0 6
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 C
			6 1 3 A
審査請求 未請求 請求項の数16 O L (全 17 頁)			

(21) 出願番号 特願平10-250129

(22) 出願日 平成10年9月3日 (1998.9.3)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

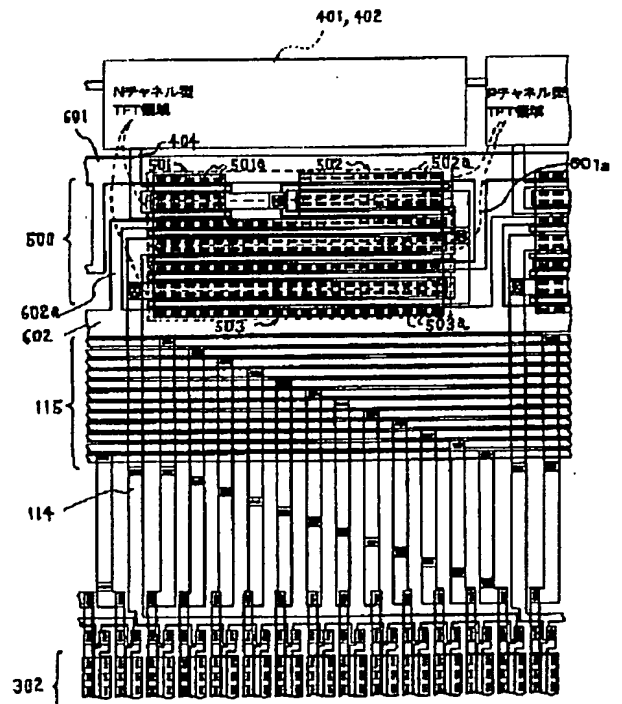
最終頁に続く

(54) 【発明の名称】 電気光学装置の駆動回路及び電気光学装置並びに電子機器

(57) 【要約】

【課題】 駆動回路を内蔵すると共に複数のデータ線を同時駆動する型の液晶装置等において、基板上領域を効率的に利用することにより装置を小型化する。

【解決手段】 液晶装置の基板 (10) 上には、画像信号をサンプリングするサンプリング回路 (301) と、相隣接する複数本のデータ線 (6a) に接続されたサンプリングスイッチ (302) 毎に同時に、サンプリング制御信号を供給するデータ線駆動回路 (101) とを備える。データ線駆動回路は、シフトレジスタ回路 (400) から転送信号が入力されると、波形整形してサンプリング制御信号として出力する薄膜トランジスタを有するインバータ (501~503) を、各ラッチ回路に対応して夫々含むバッファ回路 (500) を備える。この薄膜トランジスタは、チャンネル幅の方向が横方向であると共に複数のデータ線幅に等しいチャンネル幅を持つチャンネル部分を含む。



## 【特許請求の範囲】

【請求項1】 一对の基板間に電気光学物質が挟持されてなり、該一对の基板の一方の基板上に相交差する複数のデータ線及び複数の走査線を備えた電気光学装置の駆動回路であって、

前記一方の基板上にサンプリング制御信号に応じて画像信号をサンプリングして前記複数のデータ線に夫々供給する複数のサンプリングスイッチと、前記複数のサンプリングスイッチに対して相隣接する $n$ （但し、 $n$ は2以上の整数）本のデータ線に接続されたサンプリングスイッチ毎に同時に前記サンプリング制御信号を供給するデータ線駆動回路とを備えており、

前記データ線駆動回路は各ラッチ回路から転送信号を順次出力するシフトレジスタ回路と、前記転送信号を前記サンプリング制御信号として出力するためのバッファ回路とを備えており、

前記バッファ回路を構成する少なくとも1つのトランジスタは、前記一方の基板上でチャネル幅の方向が前記データ線に交差する方向に延在されてなることを特徴とする電気光学装置の駆動回路。

【請求項2】 前記トランジスタのチャネルは相隣接する2本以上 $n$ 本以下のデータ線のピッチ内の幅を有することを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項3】 前記バッファ回路は、直列接続された $m$ （但し、 $m$ は2以上の整数）段のインバータを前記各ラッチ回路に対応して夫々含むことを特徴とする請求項1又は2に記載の電気光学装置の駆動回路。

【請求項4】 前記各ラッチ回路側から数えて $i+1$ 段目のインバータの有する前記トランジスタの前記チャネル幅が、 $i$ 段目のインバータの有する前記トランジスタの前記チャネル幅より大きいことを特徴とする請求項3に記載の電気光学装置の駆動回路。

【請求項5】 前記 $m$ 段のインバータは、蛇行しており、前記シフトレジスタ回路に近い側から前記データ線に交差する第1方向に伸びる第1部分と該第1部分から前記第1方向と逆の方向に伸びる第2部分とが前記走査線に交差する方向に順に配列されていることを特徴とする請求項1乃至3のいずれか一項に記載の電気光学装置の駆動回路。

【請求項6】 前記第1及び第2部分間で、前記第1方向に伸びる電源配線を共用することを特徴とする請求項5に記載の電気光学装置の駆動回路。

【請求項7】 前記バッファ回路は、1段のインバータを前記各ラッチ回路に対応して夫々含むことを特徴とする請求項1又は2に記載の電気光学装置の駆動回路。

【請求項8】 前記1段のインバータは、前記データ線に交差する方向に夫々伸びると共に前記走査線に交差する方向に順に配列されるように並列接続された複数のインバータからなることを特徴とする請求項7に記載の電

気光学装置の駆動回路。

【請求項9】 前記並列接続された複数のインバータ間で、前記データ線に交差する方向に伸びる電源配線を共用することを特徴とする請求項8に記載の電気光学装置の駆動回路。

【請求項10】 前記トランジスタは、相補型トランジスタからなることを特徴とする請求項1乃至9のいずれか一項に記載の電気光学装置の駆動回路。

10 【請求項11】 前記データ線駆動回路は、前記ラッチ回路と前記バッファ回路との間に夫々、前記転送信号の信号幅を所定値に制限する位相調整回路を更に含むことを特徴とする請求項1乃至10のいずれか一項に記載の電気光学装置の駆動回路。

【請求項12】 前記一方の基板上には、複数の画像信号線が前記走査線に沿って配列されており、前記バッファ回路は、前記複数の画像信号線と前記シフトレジスタ回路との間における前記基板上領域に形成されることを特徴とする請求項1乃至11のいずれか一項に記載の電気光学装置の駆動回路。

20 【請求項13】 前記画像信号は、 $n$ 本にシリアルパラレル変換されており、 $n$ 本の画像信号線を介して前記サンプリング回路に供給されることを特徴とする請求項1乃至12のいずれか一項に記載の電気光学装置の駆動回路。

【請求項14】 請求項1から13のいずれか一項に記載の電気光学装置の駆動回路を備えたことを特徴とする電気光学装置。

【請求項15】 前記一方の基板上には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数のトランジスタとを更に備えており、前記複数のデータ線及び走査線は、前記複数のトランジスタに夫々接続されていることを特徴とする請求項14に記載の電気光学装置。

【請求項16】 請求項14又は請求項15に記載の電気光学装置を備えたことを特徴とする電子機器。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下適宜、TFTと称す）等のトランジスタ駆動によるアクティブマトリクス駆動方式の液晶装置等の電気光学装置を駆動するためのデータ線駆動回路等を含む駆動回路及びそのような駆動回路を内蔵する型の電気光学装置の技術分野に属し、特に、高ドット周波数やカラー画像信号に対応すべく複数のデータ線を同時に駆動する駆動方式を採る電気光学装置の駆動回路及びそのような駆動回路を内蔵する型の電気光学装置の技術分野に属する。

【0002】

【従来の技術】この種の電気光学装置の駆動回路は、電気光学装置の画像表示領域に配線されたデータ線や走査

線に画像信号や走査信号を所定タイミングで供給するためのデータ線駆動回路、走査線駆動回路、サンプリング回路等を含んで構成されている。

【0003】このような駆動回路は、線順次駆動方式を採用場合には、外部から1本の画像信号線上に供給される画像信号を、データ線駆動回路から各データ線に対応して順次供給されるサンプリング制御信号に応じて、各データ線に対応して設けられた複数のサンプリングスイッチにより夫々サンプリングして、各データ線に線順次で供給するように構成されている。また一般に、データ

線駆動回路は、基準クロックに応じて転送信号を順次出力する複数配列されたラッチ回路を含むシフトレジスタ回路を備えている。更に、このラッチ回路とサンプリング回路との間に、バッファ回路を介在させることにより、転送信号の波形を整形して前述のサンプリング制御信号とすると共に、ラッチ回路の駆動能力がサンプリングスイッチを駆動するのに十分でなくても、バッファ回路によりサンプリングスイッチの負荷に十分対応できるように構成されている。

【0004】ここで、近時における表示画像の高品位化の要請の下、液晶装置等の電気光学装置におけるドット周波数は、例えばXGA方式、SXGA方式、EWS方式の如くに益々高められて来ている。このようにドット周波数が高くなると、前述したサンプリングスイッチにおけるサンプリング能力が不足したり、駆動回路を構成する各TFTにおける遅延時間が表示画像の品位に悪影響を及ぼすようになる。例えば、次のデータ線に前のデータ線用の画像信号が書込まれてゴーストやクロストークが生じたりする問題点が生じる。しかるに、これに対処するためにサンプリングスイッチや各TFTの性能自体を高めるのでは、コストの顕著な上昇を招いてしまう。

【0005】このため最近では、例えば画像信号を予めシリアル-パラレル変換して複数のパラレルな画像信号に分けた後、或いはカラー画像信号の場合に色毎のパラレルな画像信号に分けた後に、電気光学装置に設けられた複数の画像信号線上に供給するようにし、サンプリング回路においては複数のシリアル-パラレル等されたパラレルな画像信号を同時にサンプリングして、複数本

(例えば、6本、12本、24本など)のデータ線に同時に供給する技術が開発されている。この技術によれば、同時に駆動するデータ線の本数 $n$ に応じて、各サンプリングスイッチがサンプリングする時間を、約 $n$ 倍に出来るため、駆動回路における駆動周波数を実質的に $1/n$ 程度にまで下げることが出来る。即ち、前述のように、サンプリングスイッチや各TFTの性能自体を向上させる必要なく、高ドット周波数に対処することが可能となる。

【0006】このように複数のデータ線を同時駆動する場合、複数のサンプリングスイッチに対して同時に或い

は同一のサンプリング制御信号を供給するために、データ線駆動回路では、複数のサンプリングスイッチの負荷の合計に耐え得るだけの駆動能力が必要となる。即ち、前述のラッチ回路とサンプリングスイッチとの間に介在するバッファ回路の駆動能力を複数のサンプリングスイッチの負荷の合計に応じて高めねばならない。このためには、バッファ回路に含まれるインバータを構成するTFTのサイズを大きくすればよい。但し、単純にこのTFTのサイズを大きくしたのでは、今度は、このTFTを転送信号で駆動するラッチ回路における駆動能力を高める必要性が生じてしまい、特に通常消費電力が大きいことが当該電気光学装置の分野において問題視されるシフトレジスタ回路における消費電力が一層増加してしまう。そこで、バッファ回路を直列接続された複数段のインバータから構成して、バッファ回路における駆動能力を各インバータ毎に段階的に高める構成が一般に採られている。即ち、バッファ回路のラッチ回路側の段のインバータを構成するTFTのサイズは小さく、且つバッファ回路のサンプリングスイッチ側の段のインバータを構成するTFTのサイズは大きくなる構成が採られている。

【0007】他方、上述の如き駆動回路を液晶装置等の電気光学装置の本体を構成する基板上に設けた駆動回路内蔵型の電気光学装置が開発されている。この駆動回路内蔵型の電気光学装置は、駆動回路を別基板上に形成して外付けする型の電気光学装置と比べて、装置全体の小型化やコスト低下を図る上で有利である。

【0008】  
【発明が解決しようとする課題】しかしながら、前述した複数段のインバータから構成されるバッファ回路を、前述した駆動回路内蔵型の液晶装置に設けようとする、液晶装置等の基板上領域における大型化したバッファ回路による占有面積や非有効利用面積の増加が問題となる。特に、前述した従来の線順次駆動方式の液晶装置のように、データ線に沿って縦方向に長手状に伸びるTFTから各インバータを構成して、これをデータ線に沿って縦方向に複数段直列に接続したのでは、通常画像信号線とシフトレジスタ回路との間に存在する走査線に沿った横長の基板上領域に占める、バッファ回路による非有効利用面積の割合が顕著に大きくなってしまおうという問題点がある。そして、最終的には、画像表示領域の上又は下のデータ線駆動回路を形成するための非画像表示領域が広がってしまい、装置全体の小型軽量化や同一装置サイズにおける画像表示領域の大型化という、当該電気光学装置の技術分野における一般的要請に反する事態を招くという問題点がある。

【0009】本発明は上述した問題点に鑑みなされたものであり、駆動回路内蔵型であり且つ複数のデータ線を同時駆動する駆動方式を採用する液晶装置等の電気光学装置において、基板上領域を効率的に利用することにより、

装置の小型化又は同一装置サイズにおける画像表示領域の大型化を可能ならしめる電気光学装置の駆動回路及び該駆動回路を内蔵する電気光学装置を提供することを課題とする。

【0010】

【課題を解決するための手段】本発明の電気光学装置の駆動回路は上記課題を解決するために、一対の基板間に電気光学物質が挟持されてなり、該一対の基板の一方の基板上に相交差する複数のデータ線及び複数の走査線を備えた電気光学装置の駆動回路であって、前記一方の基板上に、サンプリング制御信号に応じて画像信号をサンプリングして前記複数のデータ線に夫々供給する複数のサンプリングスイッチと、前記複数のサンプリングスイッチに対して相隣接する $n$ （但し、 $n$ は2以上の整数）本のデータ線に接続されたサンプリングスイッチ毎に同時に前記サンプリング制御信号を供給するデータ線駆動回路とを備えており、前記データ線駆動回路は転送信号を順次出力するシフトレジスタ回路と、前記転送信号を前記サンプリング制御信号として出力するためのバッファ回路とを備えており、前記バッファ回路を構成する少なくとも1つのトランジスタは、前記一方の基板上でチャンネル幅の方向が前記データ線に交差する方向に延在されてなることを特徴とする。

【0011】本発明の電気光学装置の駆動回路によれば、データ線駆動回路により、サンプリング制御信号が相隣接する $n$ 本のデータ線に接続されたサンプリングスイッチ毎に同時に、 $n$ 個のサンプリングスイッチに供給される。この際、データ線駆動回路では、シフトレジスタ回路により転送信号が順次出力され、この転送信号がバッファ回路を介して、上述のサンプリング制御信号として出力される。すると、各サンプリングスイッチにより、画像信号が、サンプリング制御信号に応じてサンプリングされて、複数のデータ線に夫々供給される。このように、複数のサンプリングスイッチを同時駆動することにより、例えばXGA、SXGA、EWS等のドット周波数の高い画像信号に対応しても、データ線を駆動することが可能となる。

【0012】ここで特に、バッファ回路に含まれるトランジスタの少なくともいずれかひとつは、一方の基板上でチャンネル幅の方向がデータ線に交差する方向（例えば、走査線に平行な又はほぼ平行な方向）である。従って、従来の線順次駆動方式における各ラッチ回路に対応してインバータを含むバッファ回路のように、インバータを構成するトランジスタをそのチャンネル幅が1本のデータ線の幅（即ち、データ線のピッチ）に収まるように配置する場合と比較して、本発明では、チャンネル幅が広い（即ち、より大負荷のサンプリング回路を駆動可能な、駆動能力の高い大サイズの）トランジスタを設けることが可能となる。

【0013】或いは、従来の線順次駆動方式におけるシ

フトレジスタの出力に対応してインバータを含むバッファ回路のように、インバータを構成するTFTをそのチャンネル幅の方向がデータ線に平行な縦方向に一致させつつ、データ線のピッチに収まるように配置する場合と比較して、基板上のデータ線に平行な縦方向の領域内でチャンネル幅が広く大サイズのTFTをインバータ用に設けることが可能となる。

【0014】本発明の一態様では、前記トランジスタのチャンネルは相隣接する2本以上 $n$ 本以下のデータ線ピッチ内の幅を有することを特徴とする。

【0015】この態様によれば、従来の線順次駆動方式では、データ線のピッチに対応する縦長のトランジスタを基板上にレイアウトしていたが、本発明では、同時駆動される $n$ 本のデータ線の合計幅に収まるようにしつつチャンネル幅の方向がデータ線に交差する方向であるようにして、シフトレジスタ回路及びサンプリング回路との間における走査線に沿って長手状に伸びる基板上領域を効率的に利用して、複数本のデータ線の合計幅に対応する横長で大サイズのトランジスタを基板上にレイアウトすることが可能となる。

【0016】以上の結果、本発明によれば、基板上領域の有効利用を図りつつ、同時駆動するデータ線数の増加に応じてサンプリング回路における負荷が大きくなって、それを駆動可能な大サイズのトランジスタからなるインバータを含むバッファ回路を設けることができ、省スペース化された当該駆動回路により、高いドット周波数の場合にも良好な駆動動作が可能となる。

【0017】本発明の電気光学装置の駆動回路の一の態様では、前記バッファ回路は、直列接続された $m$ （但し、 $m$ は2以上の整数）段のインバータを前記各ラッチ回路に対応して夫々含む。

【0018】この態様によれば、インバータを $m$ 段にして各段のインバータを構成するトランジスタのサイズを段階的に大きくすることにより、インバータ全体で駆動可能なサンプリング回路における負荷を大きくでき、即ち同時駆動可能なサンプリングスイッチの数を増やすことが可能となる。

【0019】従って、特にラッチ回路側から見て初段のインバータを構成するトランジスタのサイズは比較的小さくて済むため、このトランジスタに転送信号を入力するラッチ回路を構成するトランジスタのサイズも小さくて済む。このため、複数のラッチ回路を含んで構成されるシフトレジスタ回路における低消費電力化を図ることも可能となる。

【0020】但し、インバータの段数（ $m$ ）を増加させると、これらのインバータを構成するトランジスタによる遅延時間の合計も増加する。従って実践上は、この遅延時間の合計が最終的に表示画像に悪影響を及ぼすことがない様に、ドット周波数や必要とされる仕様や画像品位等を勘案して、このインバータの段数（ $m$ ）を定める

10

20

30

40

50

ようにする。

【0021】この態様では、前記各ラッチ回路側から数えて  $i+1$  段目のインバータの有する前記トランジスタの前記チャネル幅が、 $i$  段目のインバータの有する前記トランジスタの前記チャネル幅より大きくしてもよい。

【0022】このように構成すれば、各段のインバータを構成するトランジスタのサイズが段階的に大きくなるので、インバータ全体で駆動可能なサンプリング回路における負荷を大きくでき、同時駆動可能なサンプリングスイッチの数を増やすことが可能となる。

【0023】このバッファ回路が、 $m$  段のインバータを含む態様では、前記  $m$  段のインバータは、蛇行しており、前記シフトレジスタ回路に近い側から前記データ線に交差する第1方向に伸びる第1部分と該第1部分から前記第1方向と逆の方向に伸びる部分とが前記走査線に交差する方向に順に配列されてもよい。

【0024】このように構成すれば、蛇行している分だけ、インバータを構成するトランジスタのチャネル幅を広くとれる。例えば、S字に蛇行させれば、単純に第1方向に真っ直ぐにチャネル幅をとる場合と比較して約3倍の広さのチャネル幅を確保でき、従って、該チャネル幅の増加に応じて、トランジスタの駆動能力を高めることが可能となる。

【0025】この場合更に、前記第1及び第2部分間で、前記第1方向に伸びる電源配線を共用してもよい。

【0026】このように構成すれば、第1及び第2部分間で、第1方向に伸びる電源配線を共用するので、共用しない場合と比べて、バッファ回路全体における第1方向に直角な方向（例えば、データ線に沿った縦方向）の長さを、共用する電源配線の幅分だけ短くすることが可能となる。

【0027】本発明の電気光学装置の駆動回路の他の態様では、前記バッファ回路は、1段のインバータを前記各ラッチ回路に対応して夫々含む。

【0028】この態様によれば、バッファ回路を構成するインバータは1段であるため、バッファ回路全体の遅延時間は、当該1段のインバータを構成するトランジスタにおける遅延時間と完全に又はほぼ等しい。このため、インバータが複数段あって遅延時間が直列に加算される場合と比較して、遅延時間が短くて済む。

【0029】この態様では、前記1段のインバータは、前記データ線に交差する方向に夫々伸びると共に前記走査線に交差する方向に順に配列されるように並列接続された複数のインバータからなってもよい。

【0030】このように構成すれば、1段のインバータは、並列接続されており走査線に交差する方向（例えば、データ線に平行又はほぼ平行な方向）に順に配列された複数のインバータからなるので、同時駆動されるデータ線の合計幅に応じた広さを有する基板上領域を効率的に利用して当該インバータをレイアウトできる。

【0031】この場合更に、前記並列接続された複数のインバータ間で、前記データ線に交差する方向に伸びる電源配線を共用してもよい。

【0032】このように構成すれば、並列接続された複数のインバータ間で、データ線に交差する方向に伸びる電源配線を共用するので、共用しない場合と比べて、バッファ回路全体におけるこの方向に交差する方向（例えば、データ線に平行又はほぼ平行な方向）の長さを、共用する電源配線の幅分だけ短くすることが可能となる。

10 【0033】本発明の電気光学装置の駆動回路の他の態様では、前記トランジスタは、相補型トランジスタからなる。

【0034】この態様によれば、相補型トランジスタにより、各インバータの入力インピーダンスを上げることができ、駆動能力の小さいラッチ回路からの転送信号に基づいて、当該相補型トランジスタを介して大負荷のサンプリングスイッチが駆動可能となる。

20 【0035】本発明の電気光学装置の駆動回路の他の態様では、前記データ線駆動回路は、前記ラッチ回路と前記バッファ回路との間に夫々、前記転送信号の信号幅を所定値に制限する位相調整回路を更に含む。

30 【0036】この態様によれば、ラッチ回路とバッファ回路との間に介在する位相調整回路により、転送信号の信号幅（信号がハイレベルとされる時間）が所定値（所定時間幅）に制限されるので、ラッチ回路から相前後して出力される転送信号間での重なりが低減されるため、このような重なりに起因して発生する、相前後して駆動されるデータ線間（即ち、 $n$  本おきのデータ線間）におけるクロストークやゴーストを未然に防止することが可能となる。

【0037】本発明の電気光学装置の駆動回路の他の態様では、前記一方の基板上には、複数の画像信号線が前記走査線に沿って配列されており、前記バッファ回路は、前記複数の画像信号線と前記シフトレジスタ回路との間における前記基板上領域に形成される。

40 【0038】この態様によれば、サンプリング回路は、複数の画像信号線上に供給される画像信号をサンプリング制御信号に応じてサンプリングする。ここで、バッファ回路は、複数の画像信号線とシフトレジスタ回路との間における基板上領域に形成されるので、画像信号線や走査線に沿った横長の領域に、横長のインバータを配置することにより、基板上領域の効率的利用が図られる。

【0039】本発明の電気光学装置の駆動回路の他の態様では、前記画像信号は、 $n$  シリアル-パラレル変換されており、 $n$  本の画像信号線を介して前記サンプリング回路に供給される。

50 【0040】この態様によれば、画像信号は、 $n$  シリアル-パラレル変換されており、 $n$  本の画像信号線を介してサンプリング回路に供給される。従って、例えば XGA、SXGA、EWS 等の如くドット周波数が高い場合

にも、比較的サンプリング能力の低い或いは遅延時間等についての性能の比較的低いサンプリング回路等を用いても、シリアル-パラレル変換により高品位の画像表示が可能となる。

【0041】本発明の電気光学装置は上記課題を解決するために、上述した本発明の電気光学装置の駆動回路を備える。

【0042】本発明の電気光学装置によれば、上述した本発明の駆動回路を備えているので、装置全体の小型化や同一サイズの装置における画像表示領域の大型化が可能であり、同時に高品位の画像表示が可能な液晶装置等の電気光学装置を実現できる。

【0043】本発明の電気光学装置の一の態様では、基板の一方の基板上には、マトリクス状に配置された複数の画素電極と、該複数の画素電極を夫々駆動する複数のトランジスタとを更に備えており、前記複数のデータ線及び走査線は、前記複数のトランジスタに夫々接続されている。

【0044】この態様によれば、高品位の画像表示が可能な所謂TFTアクティブマトリクス駆動方式の液晶装置等の電気光学装置を実現できる。

【0045】本発明の電子機器は上記課題を解決するために、上述した本発明の電気光学装置を備える。

【0046】この態様によれば、高品位な画像が可能な電気光学装置を備えた電子機器を提供することができ

る。

【0047】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

【0048】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0049】（液晶装置の第1実施形態）本発明による電気光学装置の一例である液晶装置の第1実施形態の構成及び動作について、図1から図8を参照して説明する。

【0050】先ず、液晶装置の回路構成について図1のブロック図を参照して説明する。

【0051】図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。

【0052】図1において、本実施形態による液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aを制御するためのTFT30がマトリクス状に複数形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。

【0053】本実施形態では特に、データ線6aに書き込む画像信号S1、S2、…、Snは、当該液晶装置に画像信号S1、S2、…、Snを供給する画像信号処理回路内のシリアル-パラレル変換回路によって予めn

10

20

30

40

50

(nは2以上の整数)シリアル-パラレル変換されており、相隣接するn本のデータ線6aからなるグループ毎に、シリアル-パラレル変換された画像信号を同時に供給するように構成されている。シリアル-パラレル変換数については一般には、ドット周波数が相対的に低いか或いは後述のサンプリング回路におけるサンプリング能力が相対的に高ければ、例えば3シリアル-パラレル変換、6シリアル-パラレル変換等のように小さく設定してもよい。逆に、ドット周波数が相対的に高いか或いはサンプリング能力が相対的に低ければ、例えば12シリアル-パラレル変換、24シリアル-パラレル変換等のように大きく設定してもよい。尚、このシリアル-パラレル変換数としては、カラー画像信号が3つの色(赤、青、黄)に係る信号からなることとの関係から、3の倍数である、NTSC表示やPAL表示等のビデオ表示をする際に制御や回路を簡易化する上で好ましい。また、近時のXGA方式、SXGA方式、EWS方式等の高ドット周波数の場合には、既存のTFT製造技術に鑑みれば、例えば12シリアル-パラレル変換、24シリアル-パラレル変換等のようにシリアル-パラレル変換数を大きく設定するのが好ましい。

【0054】また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過可能とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。

【0055】次に、図2を参照して、本実施形態の液晶装置の駆動回路を説明する。尚、図2は、上述のように走査線、データ線等が設けられた画像表示部と共に、該



画像表示部の周辺における液晶装置の基板上に設けられた駆動回路を示すブロック図である。

【0056】図2において、液晶装置のTFTアレイ基板10上には、その中央付近に、図1で説明した走査線3a、データ線6a等が設けられた画像表示部100aが設けられており、その周辺には、データ線駆動回路101、走査線駆動回路104及びサンプリング回路301を含む駆動回路200が設けられている。即ち、本実施形態の液晶装置は、TFTアレイ基板10上に、駆動回路200が形成された駆動回路内蔵型のTFTアクティ

【0057】走査線駆動回路104は、外部の画像信号処理回路から供給される画像信号の垂直同期信号に応じた所定タイミングで、走査線3aに対して走査信号G1、G2、…、Gmをパルスの線順次で供給する。

【0058】データ線駆動回路101は、走査線駆動回路104が走査線3aに走査信号G1、G2、…、Gmを送るのに合わせて、サンプリング制御信号線114を介してサンプリング制御信号X1、X2、…、Xnをサンプリング回路301を構成する各サンプリングスイッチ302の制御端子に供給する。サンプリング回路301は、このサンプリング制御信号X1、X2、…、Xnに応じて、画像信号線115に供給される画像信号をサンプリングして、データ線6aに供給する。本実施形態では特に、12シリアル-パラレル変換された画像信号VID1～VID12に対応して相隣接する12本のデータ線に接続されたサンプリングスイッチ302が、同一サンプリング制御信号に応じて同時にオン状態とされ、これら12本のデータ線6aには同時に、画像信号VID1～VID12のうちの夫々に対応する一つが供給される。

【0059】次に、図3及び図4を参照して、データ線駆動回路101及びサンプリング回路301のより詳細な構成についてその動作と共に説明する。尚、図3は、データ線駆動回路101を構成するラッチ回路401等を、サンプリング回路301等と共に示すブロック図であり、図4は、データ線駆動回路101内における各種の信号のタイミングチャートである。

【0060】図3において、データ線駆動回路101は、転送信号を順次出力するシフトレジスタ回路400と、順次出力された転送信号を波形整形するバッファ回路500とを備えて構成されている。シフトレジスタ回路400は、直列接続された複数段の遅延型フリップフロップ回路等からなるラッチ回路401で構成されている。各ラッチ回路401に接続された複数の例えばNAND回路403等からなる位相調整回路402とを備える。バッファ回路500は、直列接続された3段のインバータ501、502及び503を、同時駆動するサンプリングスイッチ302のグループ毎に備える。

【0061】図3及び図4に示すように、シフトレジスタ回路400は、次のように構成されている。

【0062】即ち、画像信号VID1～VID12の水平同期信号に同期したスタートパルスSPが外部の画像信号処理回路から入力されると、先ず左端段のラッチ回路401がX側基準クロック信号CLX（及びその反転クロック信号CLX'）に基づく転送動作を開始し、転送信号ST1を位相調整回路402中の対応するNAND回路403に出力すると共に転送信号ST1を次段のラッチ回路401に出力する。すると、この次段のラッチ回路401が、X側基準クロック信号CLX（及びその反転クロック信号CLX'）に基づく転送動作を開始し、転送信号ST1の立ち下りのタイミングで立ち上がる転送信号ST2を位相調整回路402中の対応するNAND回路403に出力すると共に転送信号ST2を次段のラッチ回路401に出力する。そして以下同様の転送動作を各段のラッチ回路401により順次行って、一水平走査期間に転送信号ST1、ST2、…、STnを一通り位相調整回路402に出力するように構成されている。

【0063】また、位相調整回路402は、左から数えて奇数段目の各NAND回路403により、対応するラッチ回路401から入力される転送信号ST2i-1（但し、iは自然数）と位相調整信号ENB1とのNANDをとってバッファ回路500に出力する。また、左から数えて偶数段目の各NAND回路403により、対応するラッチ回路401から入力される転送信号ST2i（但し、iは自然数）と位相調整信号ENB2とのNANDをとってバッファ回路500に出力するように構成されている。

【0064】バッファ回路500は、各位相調整回路402の出力端子毎に、直列接続された3段のインバータ501、502及び503を含む。そして、後述するようにインバータ501、502及び503を構成するTFTのサイズを段階的に大きくすることにより、インバータ全体で駆動可能なサンプリング回路301における負荷を大きくし、同時駆動可能なサンプリングスイッチ302の数を増やすように構成されている（図4参照）。

【0065】このように転送信号ST1、ST2、…、STnは、位相調整回路402によりパルス幅が制限され、更にバッファ回路500により波形整形されて、サンプリング制御信号X1、X2、…、Xnとして、サンプリング回路301に出力される。

【0066】本実施の形態では特に、位相調整回路402によるパルス幅の制限により、相前後するサンプリング制御信号X1、X2、…、Xnは、信号パルス間に若干の時間間隔が存在するため（図4参照）、これらの信号パルスの重なりに起因した相前後して駆動されるデータ線6a間のゴーストやクロストークを抑制或いは防止

できる。また、ラッチ回路401又は位相調整回路402の出力における駆動能力よりも、バッファ回路500の出力における駆動能力の方が遥かに大きく設定されているため、サンプリング制御信号X1、X2、…、Xnにより、一つのサンプリングスイッチ302よりも負荷が遥かに大きい複数のサンプリングスイッチ302を良好に同時駆動できる。

【0067】次に、図5及び図6を参照して、バッファ回路500に含まれるインバータ501、502及び503を構成するTFTの具体的な構成について説明する。図5は、バッファ回路500及び画像信号線115並びにその付近におけるTFTアレイ基板10上に形成された素子及び配線レイアウトを示す拡大平面図である。12シリアル-パラレル変換された画像信号が12本の画像信号線115により供給されて、同一のサンプリング制御信号X1、X2、…により12個のサンプリングスイッチ302が同時に駆動される例を示してある。また、図6は、図5に示したバッファ回路500を、そのレイアウトに対応させて示した回路図である。

【0068】図5において、バッファ回路500には、インバータ501、502及び503を駆動するための、高電圧配線601及び低電圧配線602が配線されている。

【0069】先ず、ラッチ回路401側から見て1段目のインバータ501を構成する相補型TFTのサイズは比較的小さい。即ち、図中横方向にコンタクトホール501aが5個並ぶだけのチャネル幅を持ち、これはデータ線6aのピッチの約2.5倍に相当する。従って、比較的高入力インピーダンスを持つこの相補型TFTに対して転送信号ST1、ST2、…を入力するラッチ回路401を構成するTFTのサイズも小さくて済む。このため、複数のラッチ回路401を含んでなり、通常消費電力の大きさが問題となるシフトレジスタ回路400における低消費電力化を図れる。また、このように1段目のインバータ501を構成する小サイズの相補型TFTでは、ラッチ回路401から位相調整回路402を介して供給される転送信号用の配線404が延設されてゲート電極とされており、高電圧配線601の一部及び低電圧(グランド)配線602の引き出し配線602aが、入力側のソース又はドレイン電極とされている。

【0070】そして、図5及び図6に示すように、1段目のインバータ501を構成する相補型TFTの出力側のソース又はドレイン電極が延設されて、2段目のインバータ502の相補型TFTのゲート電極とされている。

【0071】2段目のインバータ502を構成する相補型TFTのサイズはインバータ501の場合よりも大きい。即ち、図中横方向にコンタクトホール502aが10個並ぶだけのチャネル幅を持ち、これはデータ線6aのピッチの約5倍に相当する。

【0072】本実施の形態では特に、計3段のインバータからなるバッファ回路500は、TFTアレイ基板10上を蛇行して設けられており、第1目及び第2段目のインバータ501及び502が図中右に向かって伸びているのに対し、3段目のインバータ503は、図中左に向かって伸びている。更に、図5に示すように、3段目のインバータ503は、2つの並列接続されたインバータからなる。これら2つのインバータの出力側のソース又はドレイン電極は、サンプリング制御信号線114に接続されている。即ち、3段目のインバータ503の出力電圧が、バッファ回路500からのサンプリング制御信号(X1、X2、…)とされる。

【0073】3段目のインバータ503を構成する相補型TFTのサイズはインバータ502の場合よりも大きい。即ち、図中横方向にコンタクトホール503aが20個並ぶだけのチャネル幅を持ち、これはデータ線6aのピッチの約10倍に相当する。尚、図6中、電圧Vcは高電圧配線601から供給される高電圧(例えば、5V、15Vなど)を示し、電圧GNDは低電圧配線602から供給される低電圧(例えば、接地電圧)を示す。

【0074】ここで、以上説明した3段のインバータ501、502及び503の配列方式及び複数のバッファ回路500の配列方式を図7(a)に示す。

【0075】図7(a)及び図6から明らかなように、本実施の形態では、各バッファ回路500内において、3段のインバータ501、502及び503は蛇行しており、且つ3段目のインバータ503は並列接続された2つのインバータからなる。そして、各バッファ回路500のX方向の幅は、同時に駆動される12本のデータ線6aの合計幅( $\Delta W$ )と一致するように平面レイアウトされている(図7(a)参照)。

【0076】このように、バッファ回路500が蛇行している分だけ、インバータ501、502及び503を構成するTFTのチャネル幅を広くとれ、このチャネル幅の増加に応じて、バッファ回路500におけるTFTの駆動能力を高めることが可能となる。

【0077】以上図5から図7(a)を参照して説明したように本実施の形態では特に、インバータ501、502及び503を構成する各TFTは、TFTアレイ基板10上でチャネル幅の方向がX方向であると共にデータ線6aのピッチの数倍から約10倍に等しいチャネル幅を持つので、従来の線順次駆動方式における各ラッチ回路に対応してインバータを含むバッファ回路のようにインバータを構成するTFTをそのチャネル幅がデータ線のピッチに収まるように配置する場合と比較して、チャネル幅が広く大サイズのTFTをインバータ用に設けることが可能となる。或いは、従来の線順次駆動方式における各ラッチ回路に対応してインバータを含むバッファ回路のようにインバータを構成するTFTをそのチャ

ネル幅の方向がY方向に一致したレイアウトにおいて、データ線のピッチに収まるように配置する場合と比較して、Y方向に限られた基板上領域内でチャネル幅が広く大サイズのTFTをインバータ用に設けることが可能となる。

【0078】以上の結果、本実施形態によれば、基板上領域の有効利用を図りつつ、同時駆動するデータ線6aの数の増加に応じて、サンプリング回路302における負荷が大きくなっても、それを駆動可能な大サイズのTFTからなるインバータ501、502及び503を含むバッファ回路500を設けることができ、省スペース化されたデータ線駆動回路101により、高いドット周波数の場合にも良好な駆動動作が可能となる。

【0079】更に、本実施の形態では特に、インバータ501、502及び503を構成するTFTのチャネル幅が1段目から3段目に向かうに連れて大きくなるので、即ち、TFTのサイズが段階的に大きくなるので、インバータ全体で駆動可能なサンプリング回路301における負荷を効率的に大きくでき、同時駆動可能なサンプリングスイッチ302の数を効率的に増やすことが可能となる。特に、インバータ501、502及び503を構成する各TFTのチャネル幅を各段毎に2~4倍程度に大きくしているので、3段合計で、バッファ回路がない場合と比較して $2^3 \sim 4^3 = 8 \sim 64$ 倍程度の大きさの負荷のサンプリング回路301を駆動可能となる。また、本実施形態では特に、インバータ501、502及び503を構成する各TFTは、相補型TFTであるため、各段毎にチャネル幅をe倍(約2.73倍)にすれば、所謂“e倍の定理”に従って非常に効率良く駆動能力を高めることも可能となる。

【0080】また、本実施形態では特に、図5に示したように、インバータ501及び502を構成する各TFTと、インバータ503を構成する上側のTFTとでは、低電圧配線602の引き出し配線602aを共用している。更に、インバータ503を構成する上側のTFTと下側のTFTとでは、高電圧配線601の引き出し配線601aを共用している。従って、これらを共用しない場合と比べて、バッファ回路500全体におけるY方向の長さを、引き出し配線601a1本分及び引き出し配線602a1本分だけ夫々短くすることが可能となる。例えば、電源配線の幅が $10\mu\text{m}$ であれば、2本合計で、Y方向に $20\mu\text{m}$ の短縮が可能となる。

【0081】以上説明した第1実施形態では、各バッファ回路500内における3段のインバータ501の配列及び各バッファ回路500の配列は、図7(a)に示した通りであるが、これらの配列は、例えば、図7(b)又は図7(c)に示す通りであってもよい。即ち、図7(b)に示すように、各バッファ回路500'は、3段目のインバータ503'が、単一のインバータから構成されてもよい。または、図7(c)に示すように、各バ

ッファ回路500''は、3段目のインバータ503'が、3つ以上並列に接続されたインバータ503''から構成されてもよい。3段目におけるインバータ503の駆動能力が、バッファ回路500としてのサンプリング回路301を駆動する能力となるため、このように、3段目(最終段)のインバータ503を構成するTFTのサイズ調整を行えることは装置設計上大変有利である。

【0082】尚、本実施形態におけるサンプリング回路301を構成するサンプリングスイッチ302の具体的な構成例としては、図8の回路図に示したものが挙げられる。

【0083】即ち、図8(1)に示すようにサンプリング回路301のTFTは、Nチャネル型TFT302aから構成されてもよいし、図8(2)に示すようにPチャネル型TFT302bから構成されてもよいし、図8(3)に示すように相補型TFT302cから構成されてもよい。なお、図8(1)から図8(3)において、図2に示した画像信号線115を介して入力される画像信号VIDは、ソース電圧として各TFT302a~302cに入力される。同じく図2に示したデータ線駆動回路101からサンプリング制御信号線114を介して入力されるサンプリング制御信号114a、114bは、ゲート電圧として各TFT302a~302cに入力される。また、Nチャネル型TFT302aにゲート電圧として印加されるサンプリング制御信号114aと、Pチャネル型TFT302bにゲート電圧として印加されるサンプリング制御信号114bとは、相互に反転信号である。従って、サンプリング回路301を相補型TFT302cで構成する場合には、サンプリング制御信号114a、114b用のサンプリング制御信号線114が少なくとも2本以上必要となる。また、サンプリング回路301を構成する各サンプリングスイッチ302は、製造効率等の観点から好ましくは、画素部におけるTFT30と同一製造プロセスにより製造可能なNチャネル型、Pチャネル型、相補型等のTFTから構成される。

【0084】以上詳細に説明したように第1実施形態によれば、TFTアレイ基板10上の領域を効率的に利用するようにバッファ回路500をレイアウトしているので、液晶装置全体の小型化や同一サイズの装置における画像表示領域の大型化が可能となり、同時に、高ドット周波数にも対応可能であり高品位の画像表示が可能な液晶装置を実現できる。

【0085】(液晶装置の第2実施形態)本発明による電気光学装置の一例である液晶装置の第2実施形態について、図9及び図10を参照して説明する。図9は、バッファ回路及び画像信号線並びにその付近におけるTFTアレイ基板10上に形成された素子及び配線レイアウトを示す拡大平面図であり、図10は、複数のインバータの配列方式及び複数のバッファ回路500の配列方式

を示すブロック図である。尚、図9及び図10において、図5及び図7に示した第1実施形態の場合と同様の構成要素については同じ参照符号を付し、その説明は省略する。

【0086】第2実施形態の液晶装置は、バッファ回路の構成が、第1実施形態の場合と異なり、その他の構成についてはこれと同様であるので、以下、バッファ回路について説明する。

【0087】図9及び図10において、第2実施形態では、バッファ回路1500は、1段のインバータ1501を各ラッチ回路401に対応して夫々含む。そして、この1段のインバータ1501は、X方向に夫々伸びると共にY方向に順に配列されるように並列接続された複数のインバータからなっている。より具体的には、ラッチ回路401から位相調整回路402を介して入力される転送信号用の配線1404が延設されて、チャネル幅の方向がX方向に一致しており並列接続された3つのインバータを夫々構成する相補型TFTのゲート電極とされており、これらの相補型TFTの出力側のソース又はドレインが、サンプリング制御信号線114に接続されている。

【0088】第2実施形態によれば、1段のインバータ1501は、並列接続されておりY方向に順に配列された複数のインバータからなるので、同時駆動される12本のデータ線6aの合計幅 $\Delta W$ に応じた広さを有する基板上領域を効率的に利用して（図10参照）、当該インバータ1501をレイアウトできる。更に、バッファ回路1500を構成するインバータ1501は1段であるため、バッファ回路1500全体の遅延時間は、当該1段のインバータ1501を構成するTFTにおける遅延時間と完全に又はほぼ等しい。このため、第1実施形態のようにインバータ501、502及び503が複数段あって遅延時間が直列に加算される場合と比較して、遅延時間が短くて済む。

【0089】但し、この場合には、当該1段のインバータ1501の負荷に耐え得るだけの駆動能力が、その前段に位置するラッチ回路401及び位相調整回路402において必要とされる。

【0090】また、第2実施形態においても、図5に示した第1実施形態の場合と同様に、図9に示したように、並列接続された複数のインバータ間で、X方向に伸びる電圧配線601及び602の引き出し配線601a及び602bが共用されている。このため、共用しない場合と比べて、バッファ回路1500全体におけるY方向の長さを、電圧配線2本分（例えば、 $10\mu\text{m} \times 2 = 20\mu\text{m}$ ）だけ短くすることが可能となる。

【0091】（液晶装置の全体構成）以上のように構成された液晶装置の各実施形態の全体構成を図11及び図12を参照して説明する。尚、図11は、TFTアレ

基板20の側から見た平面図であり、図12は、対向基板20を含めて示す図16のH-H'断面図である。

【0092】図11において、TFTアレ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、周辺見切りとしての遮光膜53が設けられている。シール材52の外側の領域には、データ線駆動回路101及び実装端子102がTFTアレ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線は画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路101の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレ基板10と対向基板20との間で電氣的導通をとるための上下導通材106が設けられている。そして、図12に示すように、図11に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレ基板10に固着されており、TFTアレ基板10と対向基板20により液晶層50が封入された液晶装置が構成されている。また、対向基板20の液晶層50に面する側には、各画素の開口領域を規定し、コントラスト比の向上や隣接画素間における混色の防止のための一般にブラックマスク又はブラックマトリクスと称される遮光膜23が設けられている。

【0093】以上図1から図12を参照して説明した各実施形態における液晶装置のTFTアレ基板10上には更に、画像信号のデータ線6aへの書込み負荷軽減のために各データ線6aについて画像信号に先行するタイミングで所定電位のプリチャージ信号を書き込むプリチャージ回路を形成してもよいし、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、データ線駆動回路101、走査線駆動回路104等の周辺回路の一部を、TFTアレ基板10の上に設ける代わりに、例えばTAB（テープオートメテッドボンディング基板）上に実装された駆動用LSIに、TFTアレ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。

【0094】また、以上の各実施形態において、TFTアレイ基板10上においてTFT30に対向する位置（即ち、TFT30の下側）にも、例えば高融点金属からなる遮光膜を設けてもよい。このようにTFT30の下側にも遮光膜を設ければ、TFTアレイ基板1の側からの戻り光等がTFT30に入射するのを未然に防ぐことができる。

【0095】更にまた、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN（ツイステッドネマティック）モード、STN（スーパーTN）モード、D-STN（ダブル-STN）モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【0096】以上説明した実施の形態における液晶装置は、カラー液晶プロジェクタに適用可能である。その場合、3枚の液晶装置がRGB用のライトバルブとして各々用いられ、各パネルには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、実施の形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に実施の形態における液晶装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

【0097】また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコンTFTでよいが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施形態は有効である。また、TFTに限らず、シリコン基板に形成するトランジスタにも有効である。

【0098】（電子機器）次に、以上詳細に説明した液晶装置100を備えた電子機器の実施の形態について図13から図15を参照して説明する。

【0099】先ず図13に、このように液晶装置100を備えた電子機器の概略構成を示す。

【0100】図13において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、液晶装置100、クロック発生回路1008並

びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM（Read Only Memory）、RAM（Random Access Memory）、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、シリアル・パラレル変換回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、液晶装置100を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。尚、液晶装置100を構成するTFTアレイ基板の上に、駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載してもよい。

【0101】次に図14から図15に、このように構成された電子機器の具体例を各々示す。

【0102】図14において、電子機器の一例たる液晶プロジェクタ1100は、上述した駆動回路1004がTFTアレイ基板上に搭載された液晶装置100を含む液晶表示モジュールを3個用意し、各々RGB用のライトバルブ100R、100G及び100Bとして用いたプロジェクタとして構成されている。液晶プロジェクタ1100では、メタルハライドランプ等の白色光源のランプユニット1102から投射光が発せられると、3枚のミラー1106及び2枚のダイクロイックミラー1108によって、RGBの3原色に対応する光成分R、G、Bに分けられ、各色に対応するライトバルブ100R、100G及び100Bに各々導かれる。この際特にB光は、長い光路による光損失を防ぐために、入射レンズ1122、リレーレンズ1123及び出射レンズ1124からなるリレーレンズ系1121を介して導かれる。そして、ライトバルブ100R、100G及び100Bにより各々変調された3原色に対応する光成分は、ダイクロイックプリズム1112により再度合成された後、投射レンズ1114を介してスクリーン1120にカラー画像として投射される。

【0103】図15において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ（PC）1200は、上述した液晶装置100がトップカバーケース内に設けられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

【0104】以上図14から図15を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エン

ジニアリング・ワークステーション(EWS)、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図13に示した電子機器の例として挙げられる。

【0105】以上説明したように、本実施の形態によれば、製造効率が高く高品位の画像表示が可能な液晶装置を備えた各種の電子機器を実現できる。

【0106】

【発明の効果】本発明の電気光学装置によれば、基板上領域の有効利用を図りつつ、同時駆動するデータ線数の増加に応じてサンプリング回路における負荷が大きくなっても、それを駆動可能な大サイズのトランジスタからなるインバータを含むバッファ回路を設けることができ、省スペース化された当該駆動回路により、高いドット周波数の場合にも良好な駆動動作が可能となる。従って、最終的には、基板の小型化や同一サイズの基板上における画像表示領域の大型化を可能としつつ高品位の画像を表示可能となる。

【図面の簡単な説明】

【図1】 液晶装置の第1実施形態における画像形成領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路のブロック図である。

【図2】 第1実施形態におけるTFTアレイ基板上に設けられた画素部及び駆動回路を示すブロック図である。

【図3】 第1実施形態におけるデータ線駆動回路及びサンプリング回路の詳細な構成を示すブロック図である。

【図4】 第1実施形態におけるデータ線駆動回路内における各種信号のタイミングチャートである。

【図5】 第1実施形態におけるデータ線駆動回路に含まれるバッファ回路をその周辺配線等と共に拡大して示す拡大平面図である。

【図6】 図5に示したバッファ回路の回路図である。

【図7】 第1実施形態におけるバッファ回路内のインバータの各種構成例を示すブロック図である。

【図8】 第1実施形態におけるサンプリング回路に含まれるサンプリングスイッチの各種構成例を示す回路図である。

【図9】 本発明の第2実施形態におけるデータ線駆動回路に含まれるバッファ回路をその周辺配線等と共に拡大して示す拡大平面図である。

【図10】 第2実施形態におけるバッファ回路内のインバータのブロック図である。

【図11】 液晶装置の各実施形態におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図12】 図11のH-H'断面図である。

【図13】 本発明による電子機器の実施の形態の概略構成を示すブロック図である。

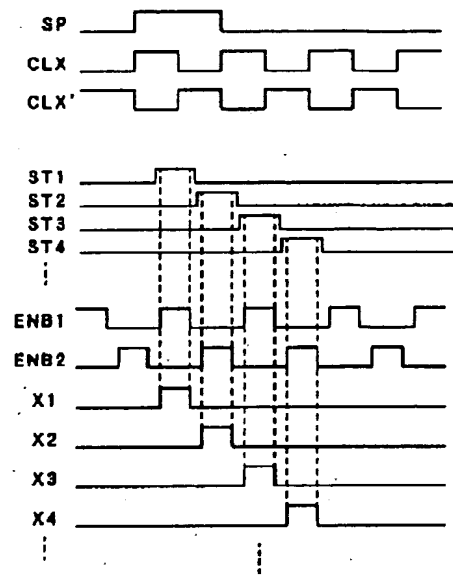
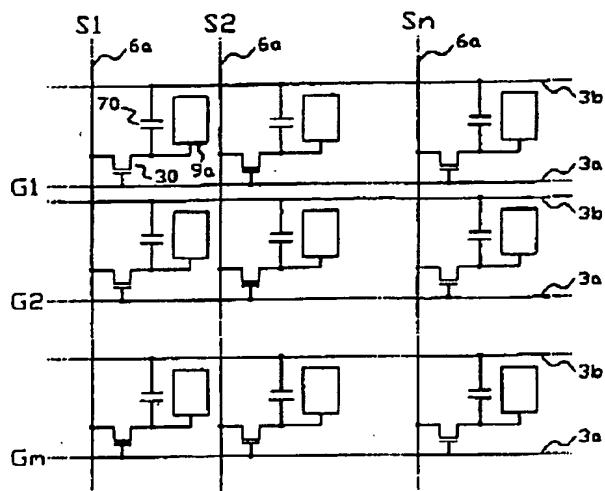
【図14】 電子機器の一例として液晶プロジェクタを示す断面図である。

【図15】 電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

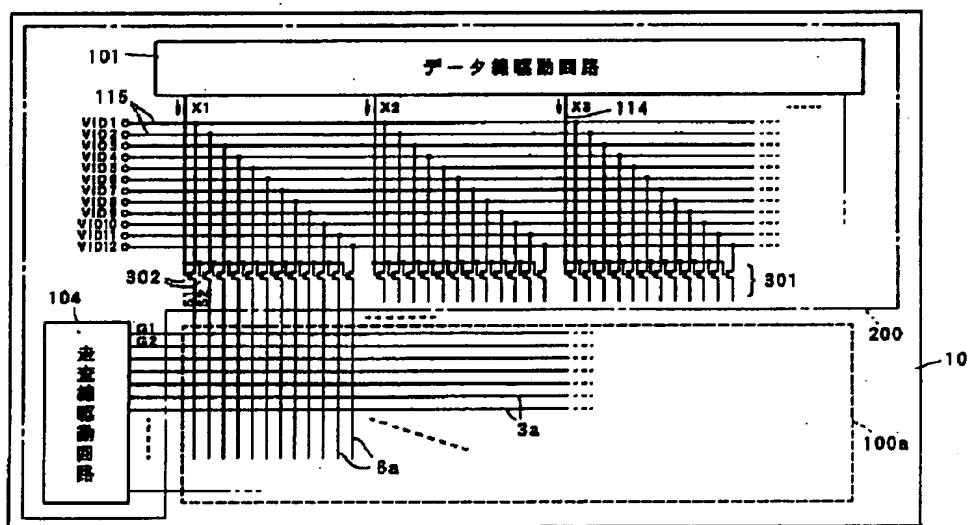
【符号の説明】

- 3a…走査線
- 3b…容量線
- 6a…データ線
- 9a…画素電極
- 10…TFTアレイ基板
- 20…対向基板
- 30…TFT
- 50…液晶層
- 52…シール材
- 70…蓄積容量
- 101…データ線駆動回路
- 104…走査線駆動回路
- 114…サンプリング制御信号線
- 115…画像信号線
- 301…サンプリング回路
- 302…サンプリングスイッチ
- 400…シフトレジスタ回路
- 401…ラッチ回路
- 402…位相調整回路
- 403…NAND回路
- 500…バッファ回路
- 501…インバータ(1段目)
- 502…インバータ(2段目)
- 503…インバータ(3段目)
- 601…高電圧配線
- 602…低電圧配線
- 1500…バッファ回路
- 1501…インバータ

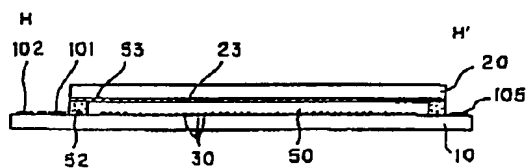
【図 4】



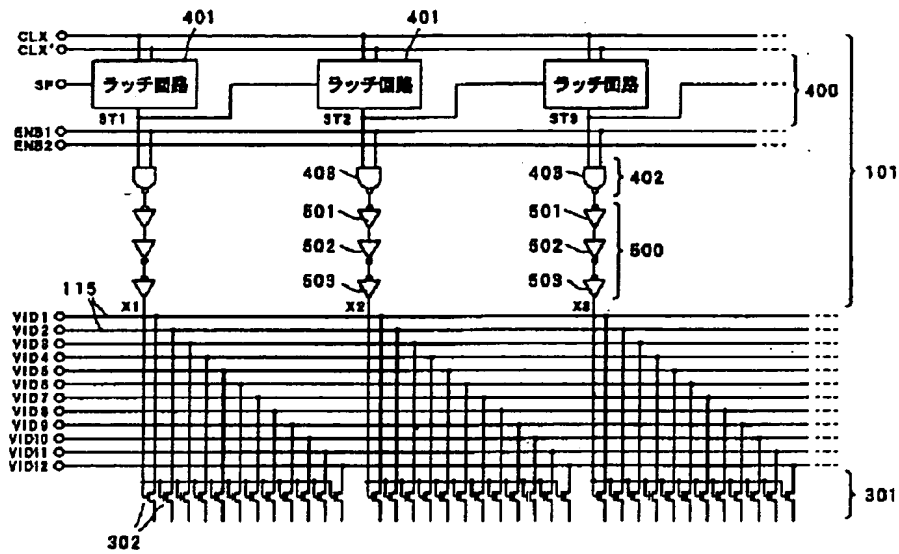
【图 2】



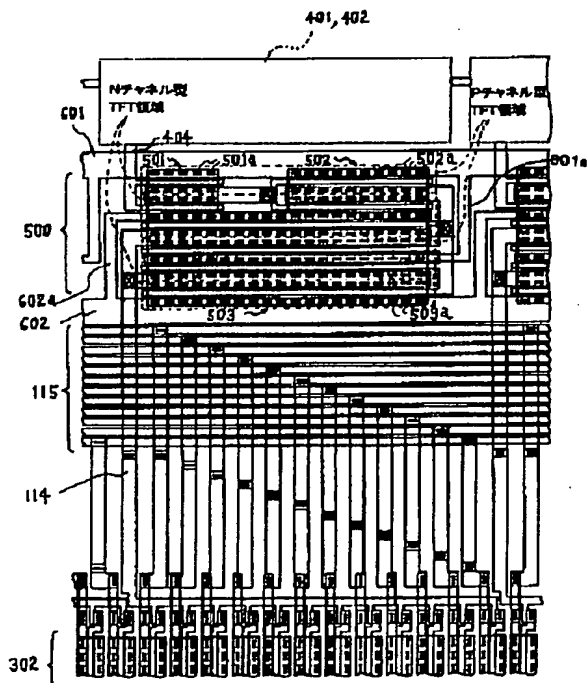
【図 1 2】



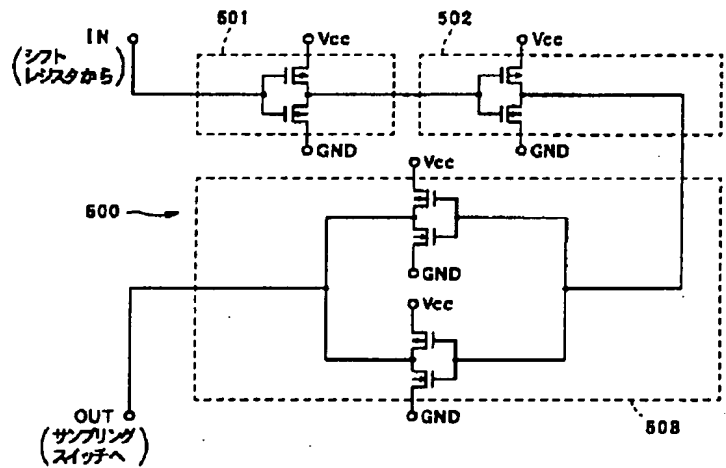
【図3】



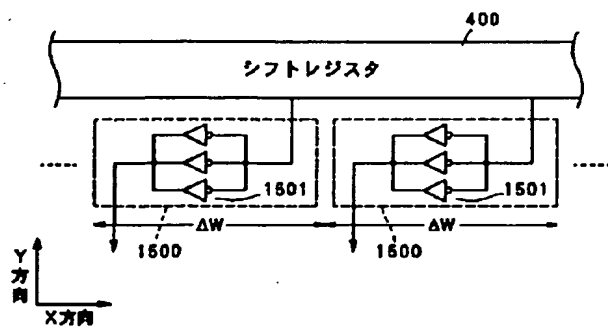
【図5】



【図6】

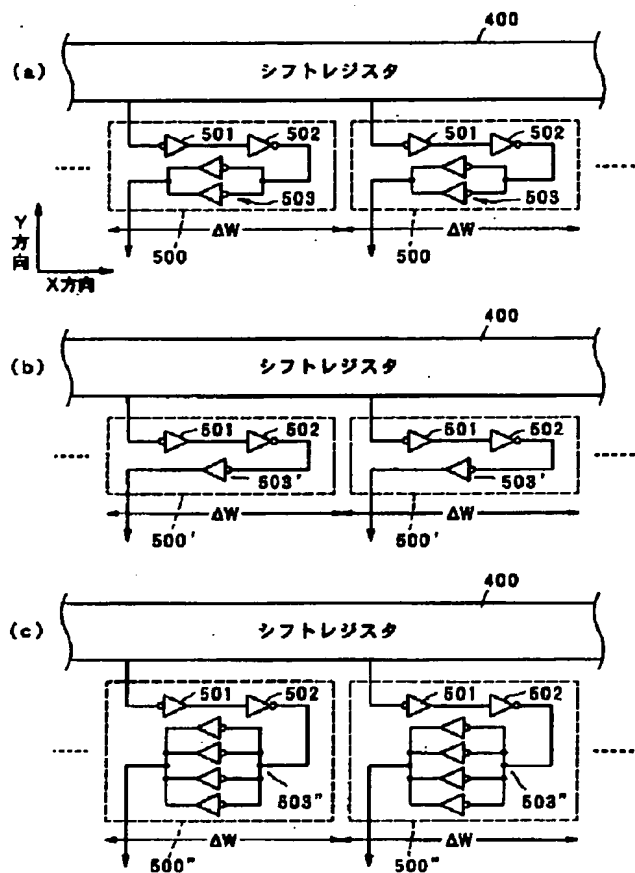


【図10】

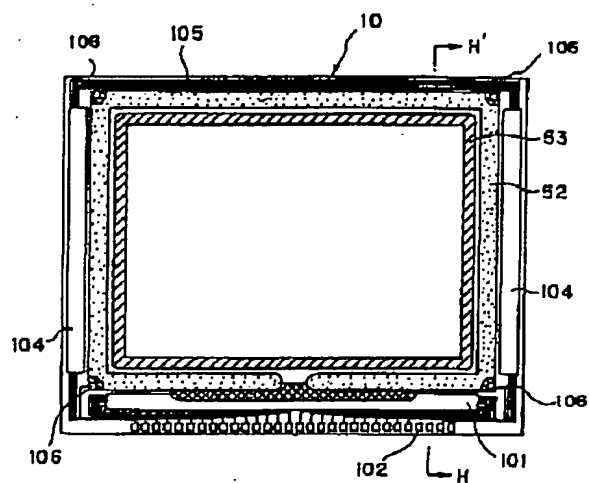




【図7】

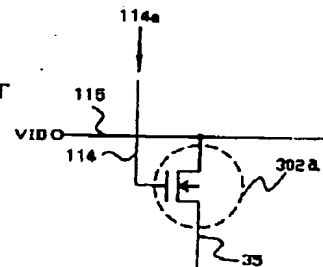


【図11】

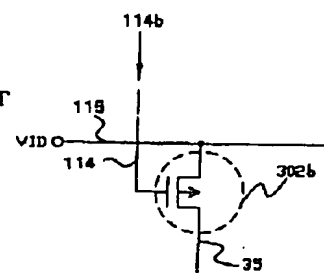


【図8】

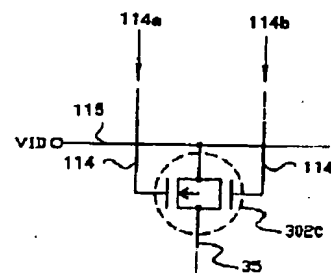
(1)  
Nチャネル型TFT



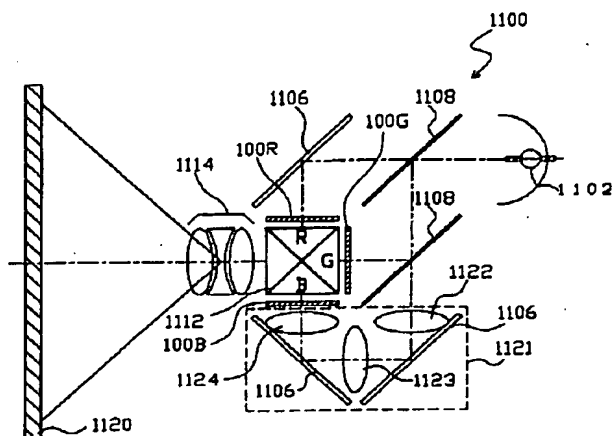
(2)  
Pチャネル型TFT



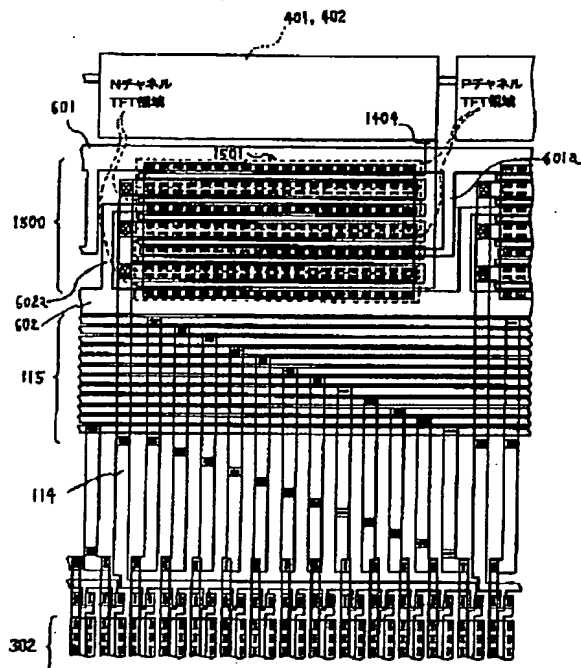
(3)  
相補型TFT



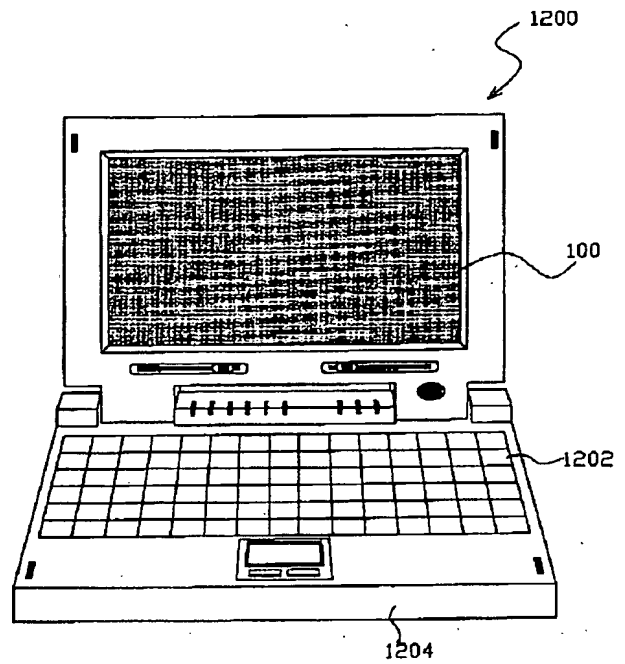
【図14】



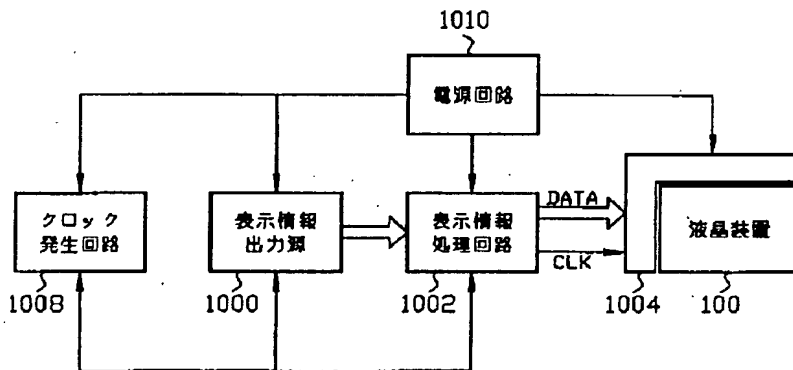
【図9】



【図15】



【図13】



## フロントページの続き

Fターム(参考) 2H092 GA20 GA24 GA59 JA24 NA12  
NA27 PA06  
2H093 NA43 NA64 NC22 NC23 NC26  
NC34 ND42 ND43 ND49 ND55  
5C006 AA01 AA16 AA22 AC02 AC21  
AF25 AF51 AF71 AF85 BB16  
BC06 BC13 BC16 BC20 BC23  
BF03 BF04 BF11 BF26 BF27  
BF33 EB05 EC11 FA23 FA41  
FA54